

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-288972
 (43)Date of publication of application : 31.10.1995

(51)Int.Cl. H02M 3/07
 G02F 1/133
 G09G 3/18

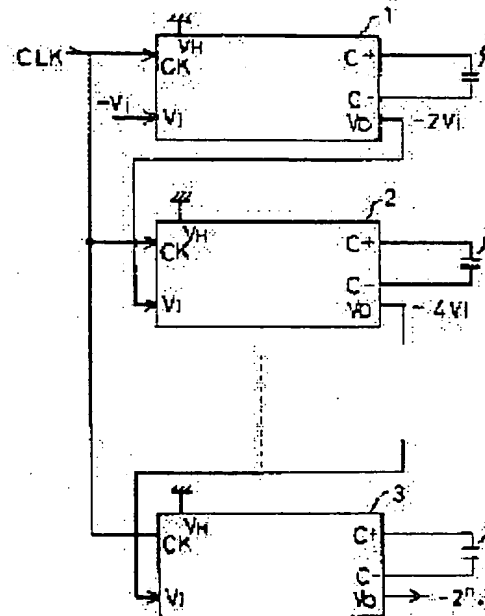
(21)Application number : 06-077649 (71)Applicant : SEIKO INSTR INC
 (22)Date of filing : 15.04.1994 (72)Inventor : OHARA AKIKAGE

(54) CHARGE PUMP BOOSTER CIRCUIT

(57)Abstract:

PURPOSE: To widen the operating voltage range of the entire system by providing two charge pump booster circuits for doubling an input voltage and connecting them in cascade such that the output voltage from the prestage booster circuit is fed to the input of the next stage booster circuit.

CONSTITUTION: Two charge pump booster circuits 1, 2 are provided and connected in cascade such that the output voltage from the prestage booster circuit 1 is fed to the input of the next stage booster circuit 2. Since each booster circuit 1, 2 produces an output voltage $V_o = 2V_i$ for an input voltage V_i , when an input voltage $-V_i$ is fed to the booster circuit 1, an output $-2V_i$ is fed to the input of the booster circuit 2 which then produces an output $-4V_i$. Consequently, a booster circuit at n-th stage produces an output $-2^n V_i$. This circuitry widens the operating voltage range of the entire system and produces a high output voltage.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

THIS PAGE BLANK (USPTO)

Japanese Publication for Unexamined Patent Application
No. 288972/1995 (Tokukaihei 7-288972)

A. Relevance of the Above-identified Document

This document has relevance to claims 1, 13, 14, and 24 of the present application.

B. Translation of the Relevant Passages of the Document

[EMBODIMENTS]

The following will describe the present invention with reference to attached drawings. First, a stage of the circuit for obtaining a $\times 2$ voltage is described referring to Fig. 2. When input control clock $CK = 0$, the driver PMOS transistor 9 becomes ON, and terminal C^+ is charged to potential V_H . Meanwhile, since the driver NMOS transistor 10 is OFF, the transfer gate NMOS transistor 11 is ON, and the transfer gate NMOS transistor 12 is OFF, terminal C^- is charged to potential V_I . Terminal V_0 maintains the previous output potential since the transfer gate NMOS transistor 12 is OFF.

[0009]

When input control clock $CK = 1$, the driver NMOS transistor 10 becomes ON, and terminal C^+ is charged to V_I . Meanwhile, since the driver PMOS transistor 9 is

THIS PAGE BLANK (USPTO)

OFF, the transfer gate NMOS transistor 11 is OFF, and the transfer gate NMOS transistor 12 is ON, the terminal C⁻ is charged to a potential $V_I + V_I = 2V_I$ by the potential V_I of the terminal C⁺ on the opposite side of the capacitor and by the influence of the charge which was charged when $CK = 0$. This potential is outputted from terminal V_0 via the transfer gate NMOS transistor 12.

[0010]

By this alternating the sequence of $CK = 0$ and $CK = 1$, the potential $V_0 = 2V_I$ is outputted. The following describes Fig. 1. As described, the step-up circuits 1, 2, and 3, with the input voltage V_I , have the output voltage level $V_0 = 2V_I$. Thus, when the input voltage of the step-up circuit 1 is $-V_I$, the output becomes $-2V_I$. This output becomes the input of the step-up circuit 2, and therefore the output of the step-up circuit 2 becomes $2 \times (-2V_I) = -4V_I$. Thus, the output of the last stage of the step-up circuits of n stages of the present invention becomes $-2^n V_I$.

[0011]

Note that, Fig. 1 shows the example of step-up circuits with the GND reference on the negative side. However, the present invention, apparently, is also effective for the step-up circuits on the positive side

THIS PAGE BLANK (USPTO)

with the GND reference having different kinds of transfer gates and different connections of driver MOS transistors. Further, the input clock may be separately inputted to the step-up circuits 1, 2, 3, 50, 51, and 52.

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-288972

(43) 公開日 平成7年(1995)10月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 3/07				
G 0 2 F 1/133	5 2 0			
G 0 9 G 3/18				

審査請求 未請求 請求項の数 3 O L (全 7 頁)

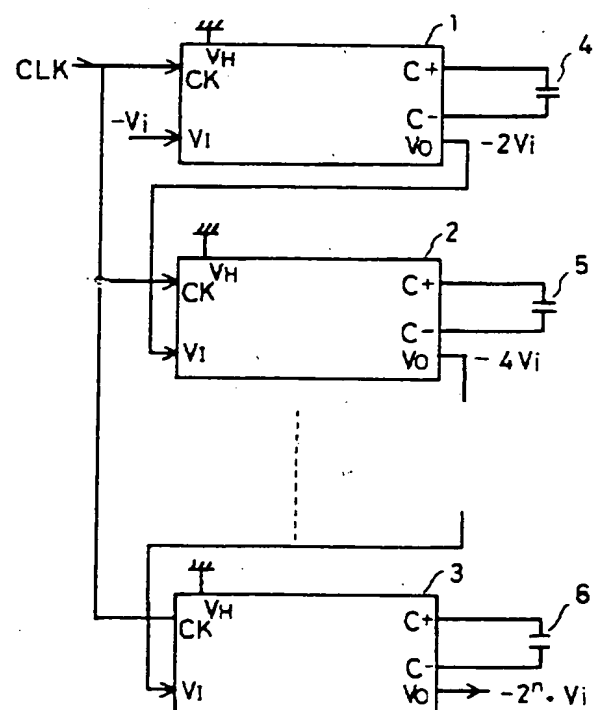
(21) 出願番号	特願平6-77649	(71) 出願人	000002325 セイコー電子工業株式会社 千葉県千葉市美浜区中瀬1丁目8番地
(22) 出願日	平成6年(1994)4月15日	(72) 発明者	大原 顕彰 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内
		(74) 代理人	弁理士 林 敬之助 (外1名)

(54) 【発明の名称】 チャージポンプ式昇圧回路

(57) 【要約】

【目的】 少ない外付部品で高い出力電圧を発生する昇圧回路を得る。

【構成】 入力電圧を2倍にして出力するチャージポンプ式の昇圧回路を少なくとも2個有し、前段の昇圧回路の出力電圧が次段の昇圧回路の入力となるように、各昇圧回路を縦続接続して、入力電圧の 2^n 倍の出力電圧を発生させる。また、昇圧回路のクロックは各段ごとに遅延回路からなるクロック発生器からそれぞれ独立に入力する。また、論理回路によりクロックのパルス幅を変えても実施できる。



(2)

【特許請求の範囲】

【請求項1】 入力制御クロックのON、OFFの繰り返しにより入力電圧を2倍にして出力するチャージポンプ式の昇圧回路を少なくとも2個有し、前段の昇圧回路の出力電圧が次段の昇圧回路の入力となるように、各昇圧回路を縦続接続したことを特徴とするチャージポンプ式昇圧回路。

【請求項2】 前記昇圧回路の入力制御クロックは、少なくとも、一つのクロック出力と、該クロック出力を遅延回路で遅延した第二のクロック出力とをそれぞれ独立した出力端子から出力するクロック発生回路から出力されたクロックであることを特徴とする請求項1記載のチャージポンプ式昇圧回路。

【請求項3】 前記昇圧回路の入力制御クロックはTフリップフロップとマスタ出力付きDフリップフロップからなり、少なくとも2つの独立した出力端子から出力するクロック発生回路から出力されたクロックであることを特徴とする請求項1記載のチャージポンプ式昇圧回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えば液晶表示ドライバー用の電圧昇圧回路、特にチャージポンプ型昇圧回路に関する。

【0002】

【従来の技術】従来、中、小型、非階調の液晶パネル用の液晶表示ドライバーの選択／非選択用電圧は、例えば、1/3バイアスの場合、図12のような2倍昇圧回路ならびに3倍昇圧回路を用いて、元々の電源電圧（例えば V_{DD} ）、昇圧回路の入力電圧（ V_i ）、2倍昇圧された電圧（ $2V_i$ ）、3倍昇圧された電圧（ $3V_i$ ）をそのまま表示／非表示の状態に応じ切り替えて用いていた。この方式は、7セグメント型の液晶表示体や、アルファニューメリック等の表示に対して有効であった。しかし、近年になって世の中の液晶表示に対する要望はより高まり、限られた数字やアルファベットを表示するだけでは満足されなくなってきた。このため、今日では中、小型の液晶パネルでもドットマトリックス型の液晶表示型になり、カタカナ、ひらがな、漢字、特殊文字、図形等を表示するようになってきている。ドットマトリックス型の液晶表示は、画素が多く、また、液晶を駆動させるための電極数も多いので、この点を緩和するために前記7セグメント型よりも大きいデューティ比（例えば、1/26、1/32、1/64等）を用い、選択時の電極間電圧（コモンセグメント間電圧）も高くなるようになっている。また、ドットマトリックス型の液晶表示の場合は、明瞭なコントラストを得るために、非選択時の電圧レベルを微妙に変えている。例えば、一例をあげると、TN型の液晶表示で1/32デューティの場合、非選択レベルはコモン端子が $V_5/7$ 、 $6V_5/7$

で、セグメント端子が $2V_5/7$ 、 $5V_5/7$ となる。

【0003】このため、従来では液晶表示ドライバーICは、選択／非選択時の電源入力端子を設け、ドライバーの外部にスイッチングレギュレータとインダクタンス等を用いた昇圧回路と、その昇圧出力を抵抗により分圧した電圧として生成したり、あるいは、抵抗分割された電圧のドライバビリティを向上させるため、ボルテージフォロワで強化したものを入力させるようになっていた。最近では、液晶表示ドライバーICは、コストパフォーマンスを向上させるため、分圧用抵抗、ボルテージフォロワ、チャージポンプ型の2倍昇圧回路／3倍昇圧回路定電圧回路等を内蔵しているものが多く見られるようになっている。

【0004】しかしながら、上記要素を全て液晶表示ドライバーICとして内蔵した場合、液晶ドライバー用の昇圧回路として2倍昇圧／3倍昇圧回路を用いたものが必ずしも最適とは言い難い。チャージポンプ型の2倍昇圧／3倍昇圧回路は大きなLは必要なく、代わりに電荷をたくわえるCが若干増える。スイッチングレギュレータを用いたものに比べて、コストは安く、スペースファクタの用する程度も小さく、また、変換効率も高い。

【0005】

【発明が解決しようとする課題】しかしながら、この方式では入力電圧の3倍までしか昇圧ができない。例えば、液晶表示のコントラストが低下しない程度の最高電圧 $7.5V$ を得ようとするならば、 $2.5V$ の電圧を入力しなければならない。つまり、 $2.5V$ 以下の入力電圧はシステム全体として動作範囲外ということになる。結果として、動作範囲電圧が狭くなるという欠点がある。

【0006】

【課題を解決するための手段】この発明は、従来のこのような欠点を解決するために、入力電圧を2倍にして出力するチャージポンプ式の昇圧回路を少なくとも2個有し、前段の昇圧回路の出力電圧が次段の昇圧回路の入力となるように、各昇圧回路を縦続接続して、初段の昇圧回路の入力電圧の 2^n 倍の出力電圧を発生させることにより、システム全体の動作電圧範囲を広くする手段を実現した。例えば、 $n=2$ の場合、従来外付のキャパシタの数は同じで、入力電圧 $2.5V$ の場合、出力電圧は $7.5V$ となるのに対し、本発明の場合、 $10V$ となり、 $4/3$ 倍高い出力電圧を得ることができる。

【0007】

【作用】このような構成により、同じ部品点数でより高い電圧を得ることができる。

【0008】

【実施例】以下、本発明を図面に基づいて説明する。まず、図2を用いて2倍の電圧を得る一段分の回路について説明する。入力制御クロック $CK=0$ の時、ドライバー用PMOSトランジスタ9がONし、 C^+ 端子は V_H

(3)

電位に充電される。一方、ドライバー用NMOSトランジスタ10はOFF、転送ゲート用NMOSトランジスタ11はON、転送ゲート用NMOSトランジスタ12はOFFなので、 C^- 端子は V_I 電位に充電される。 V_0 端子は転送ゲート用NMOSトランジスタ12がOFFなので、以前の出力電位が保持される。

【0009】入力制御クロック $CK=1$ の時、ドライバー用NMOSトランジスタ10がONし、 C^+ 端子は V_I 電位に充電される。一方、ドライバー用PMOSトランジスタ9はOFF、転送ゲート用NMOSトランジスタ11はOFF、転送ゲート用NMOSトランジスタ12はONなので、 C^- 端子は、キャパシターの反対側 C^+ の電位が V_I 電位になると、 $CK=0$ の時に充電された電荷の影響で $V_I+V_I=2V_I$ の電位となる。この電位が転送ゲート用NMOSトランジスタ12を介して V_0 端子に $2V_I$ の電位が出力される。

【0010】このように $CK=0, 1$ の状態の繰り返しにより、 $V_0=2V_I$ の電位が出力されるようになる。次に、図1の説明を行う。先に述べたように、昇圧回路1、2、3は各々入力電圧 V_I とすると出力電圧 $V_0=2V_I$ の出力電圧レベルが出るので、昇圧回路1の入力電圧を $-V_i$ とすると、その出力は $-2V_i$ 、この電圧が昇圧回路2の入力となるので、昇圧回路2の出力は $2 \times (-2V_i) = -4V_i$ となる。かくして、 n 段の昇圧回路からなる本発明の最終段の出力は $-2^n V_i$ となる。

【0011】なお、図1においては、GND基準、マイナス側への昇圧回路例の図を示しているが、本発明は、図3、図4に示すように転送ゲートの種類ならびにドライバー用MOSトランジスタの接続を変えたGND基準、プラス側の昇圧回路についても、有効であることは言うまでもない。また、昇圧回路1、2、3、50、51、52の入力クロックはそれぞれ別々に入力してもよい。

【0012】図5は n 段の昇圧回路のクロック入力に分けた例である。図1のように、同一のクロック入力を各段の昇圧回路に入力すると、初段の昇圧回路出力が3-ステートの時に、次段の昇圧回路が昇圧を行うので、昇圧の効率が悪くなる。これでは、各段の V_0 端子に電荷を蓄えるバックアップ用キャパシターが必要となり、システム全体のコストアップになる。図5は遅延回路とゲートを用いて、前段の昇圧回路が昇圧中に次段の回路も昇圧を行うよう、工夫したものである。 CK_n が、 n 段目の昇圧回路のクロック入力となる。図6は図5の回路のタイミングチャートである。このような構成により、各段のバックアップ用キャパシターをとりつける必要を省いている。

【0013】図7に $n=2$ の時の各部の波形を示した。一段目の出力 V_0 を二段目の入力 V_I に入力して4倍の電圧を得る。図8は本発明の他の実施例を示す回路図で

ある。図5のような遅延回路を使わずに、図8のような論理回路でクロックパルス $CK1, CK2, CK3$ のクロックパルス幅を変えても実現できる。図9は $CK1, CK2, CK3, V_{OUT}$ の波形を示す図である。

【0014】図10は昇圧した電圧を分割して5つの電圧を出力する回路である。クロック発生回路25は2つのクロック $CK1, CK2$ をそれぞれ独立して昇圧回路26、27に入力する。定電圧回路48は液晶表示ドライバーの電源電圧が変化しても一定の電圧が出ることで、4倍出力 V_5 ならびに、その分圧電圧 $V_1 \sim V_4$ の出力電圧レベルが変動し、液晶表示のコントラストの変動が起きないようにするためのものである。例えば $V_5=7.5V$ を得るためには、 $V_i=7.5/4=1.8V$ に設定する。このように設定すれば $V_{DD}-V_{SS}$ の電位差が $1.8V$ よりも低くならない限り、安定したコントラストを得ることができる。なお、定電圧回路の接続は図11のように行うこともできる。ただしこの場合、定電圧回路の出力を $7.5V$ となるようにする必要がある。

【0015】むろん、昇圧回路26、27の最終的な負荷は、分圧生成用抵抗28~36ならびにボルテージフォロフ39~42、ならびにCOM/SEGドライバー端子と液晶電極間容量を含む。

【0016】

【発明の効果】以上説明したように、この発明はチャージポンプ型昇圧回路を縦続接続し、これにより、低い入力電圧に対して、従来の昇圧回路の外付部品数と同じで、はるかに高い出力電圧を得る効果がある。

【図面の簡単な説明】

【図1】本発明のブロック図である。

【図2】本発明を説明する回路図である。

【図3】本発明の他の実施例のブロック図である。

【図4】本発明の他の実施例の回路図である。

【図5】本発明の他の実施例のブロック図である。

【図6】本発明の他の実施例の動作を示すタイミングチャートである。

【図7】本発明の動作を示すタイミングチャートである。

【図8】本発明の他の実施例のブロック図である。

【図9】本発明の他の実施例の動作を示すタイミングチャートである。

【図10】本発明の実施例を示す回路図である。

【図11】本発明の他の実施例を示す回路図である。

【図12】従来の昇圧回路のブロック図である。

【符号の説明】

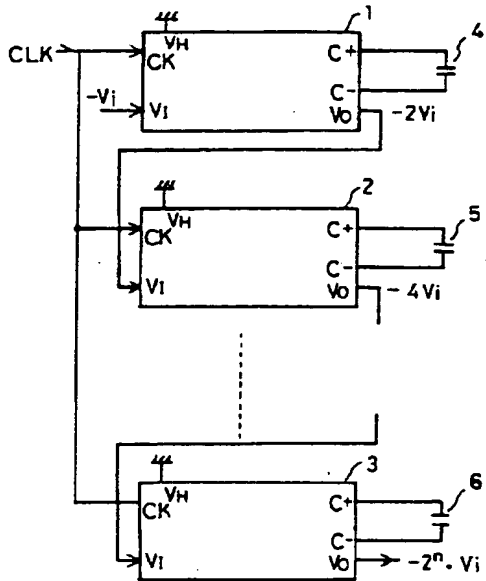
1、2、3、26、27、50、51、52 昇圧回路
7、8、56、57 レベルシフタ
9、60 ドライバー用PMOSトランジスタ
10、61 ドライバー用NMOSトランジスタ
11、12、58、59 転送ゲート用NMOSトラン

(4)

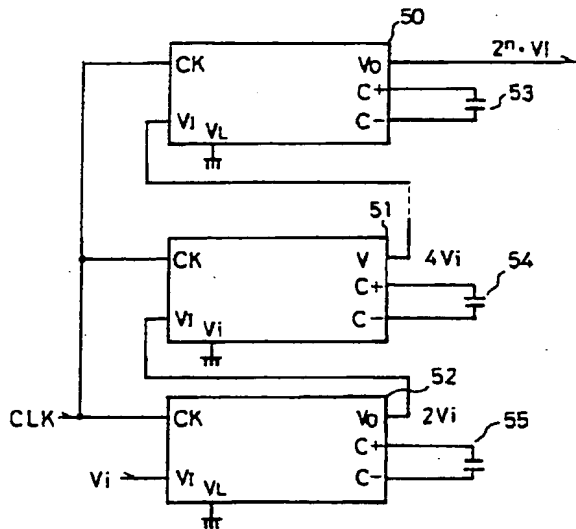
ジスタ
 25 クロック発生回路
 28~36 分圧用抵抗
 39~42 ボルテージフォロワ

48 定電圧回路
 70~73 遅延回路
 80~82 Tフリップフロップ
 83~85 マスタ出力付きDフリップフロップ

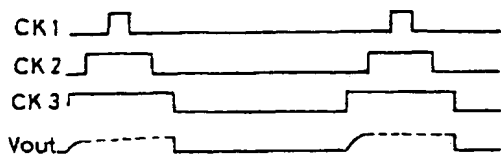
【図1】



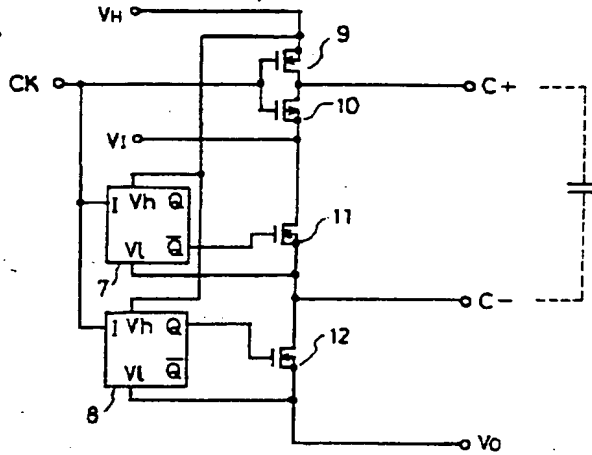
【図3】



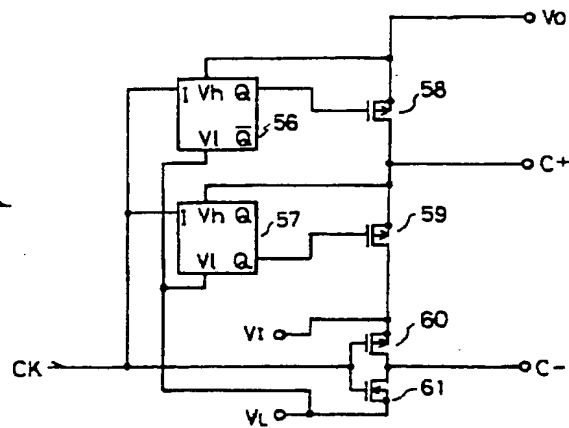
【図9】



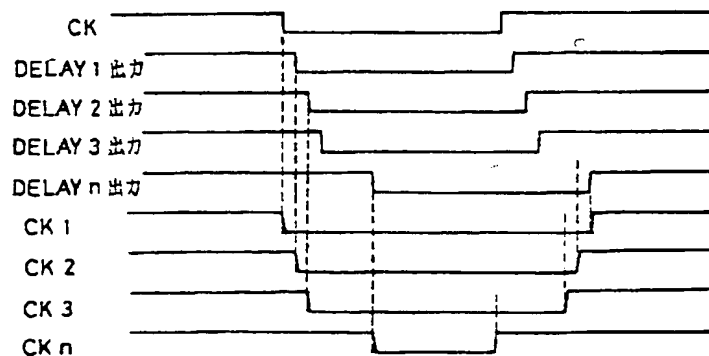
【図2】



【図4】

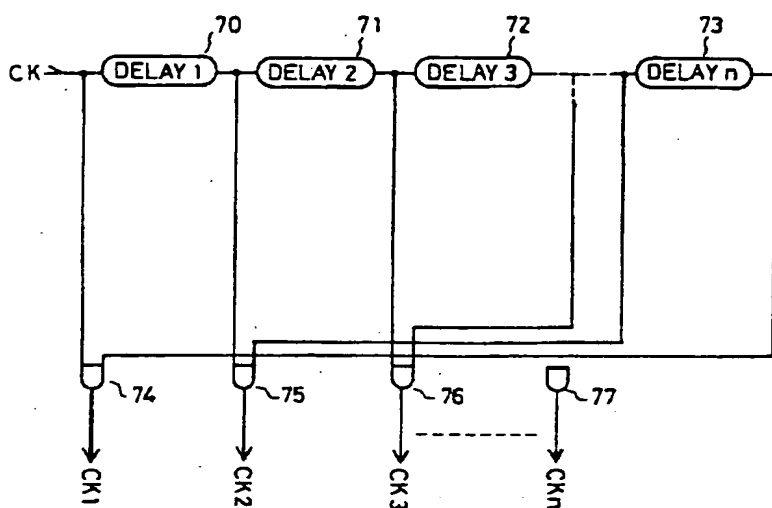


【図6】

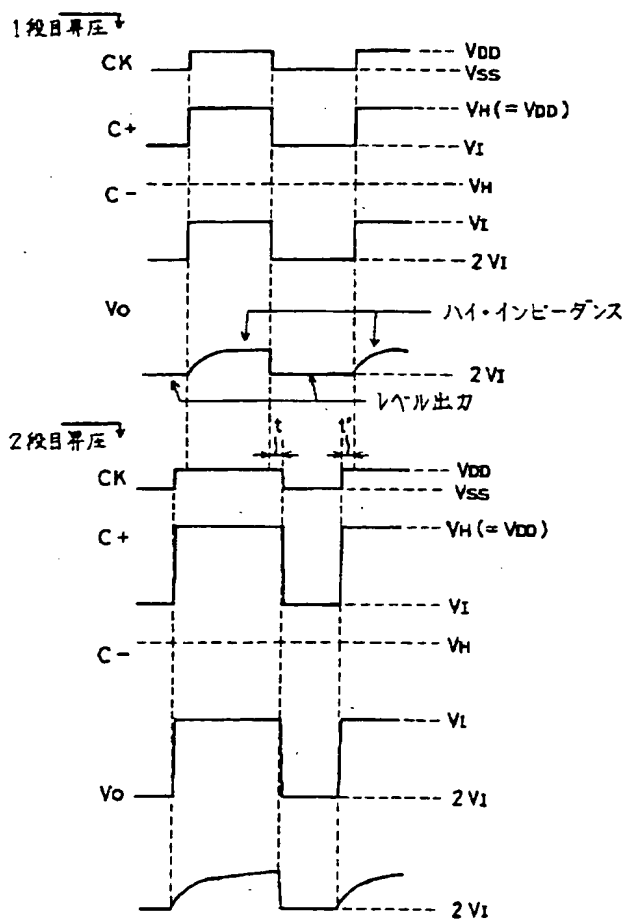


(5)

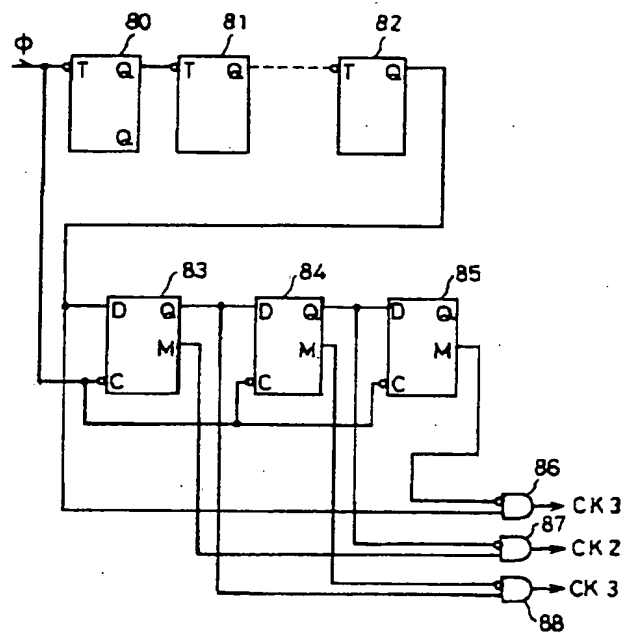
【図5】



【図7】

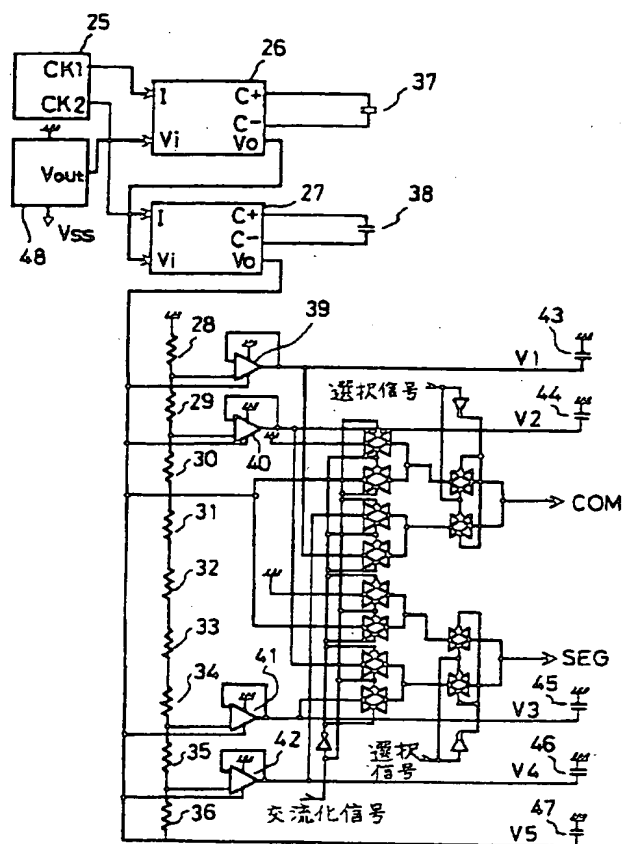


【図8】

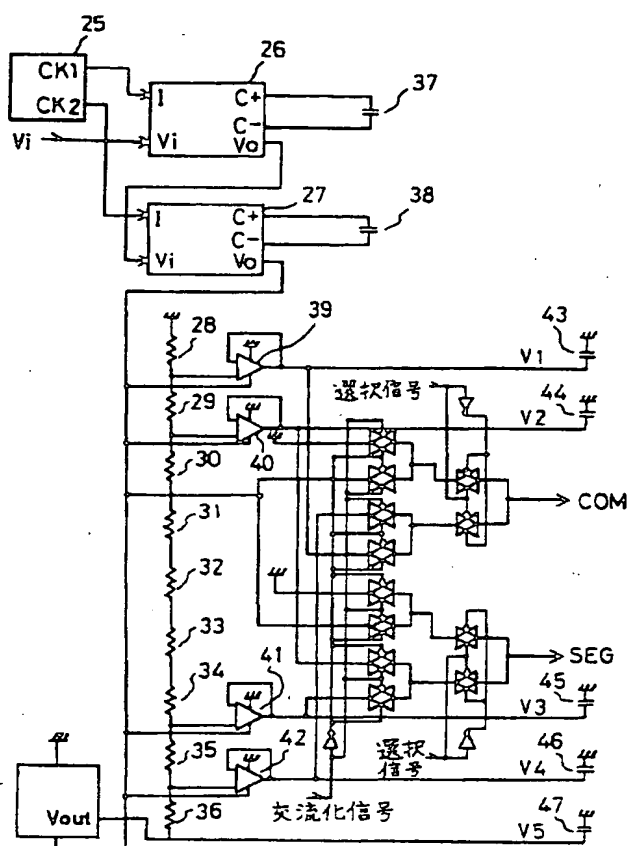


(6)

【図 10】

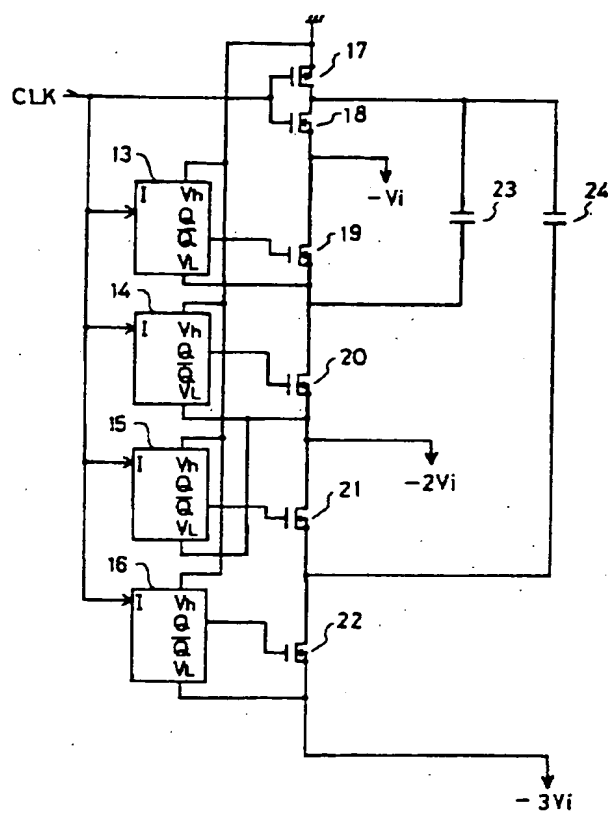


【图 1 1】



3

【图 12】



THIS PAGE BLANK (USPTO)